

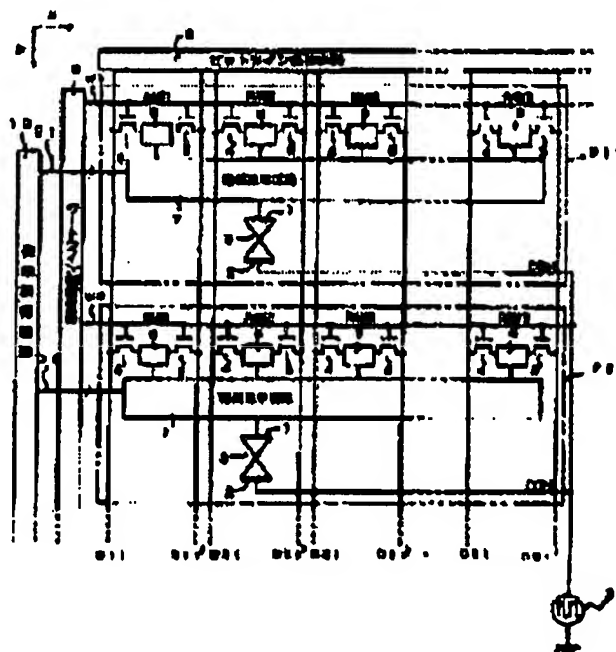
REFLECTION LIQUID CRYSTAL DEVICE AND REFLECTION PROJECTOR

Patent number: JP11295700
Publication date: 1999-10-29
Inventor: KURUMISAWA TAKASHI; YAMAZAKI TAKU
Applicant: SEIKO EPSON CORP
Classification:
- International: G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7): G02F1/133; G09G3/36
- european:
Application number: JP19980105223 19980415
Priority number(s): JP19980105223 19980415

Report a data error here

Abstract of JP11295700

PROBLEM TO BE SOLVED: To provide a reflection liquid crystal(LC) device with which the reduction of power consumption is attained, degradation of display quality caused by crosstalk is prevented and gradation display is facilitated.
SOLUTION: Concerning this reflection LC device, a static RAM(SRAM) of 8 bits and a gradation display circuit 7 are provided under a reflection pixel electrode 1, the count value of the binary counter of 8 bits is outputted from a display control circuit 10 to the gradation display circuit 7 of respective pixels. In the gradation display circuit 7, the coincidence between the gradation data of 8 bits held in the SRAM and said count value is detected by a word line control circuit 8 and a bit line control circuit 9 and when they are coincident, a signal for determining the Impression term of ON waveform to the pixel electrode 1 is switched from high level signal to low level signal. Besides, when starting the next scanning period, since said count value and the value of gradation data held in the SRAM are not coincident, said signal is switched to a high level



esp@cenet document view

2/2 ページ

signal. Therefore, the ON waveforms are impressed to the pixel electrode 1 just for the period based on the gradation data and the gradation display is performed for every scanning period for each pixel.

Data supplied from the *esp@cenet* database - Worldwide

esp@cenet Family list view

1/1 ページ

Family list**2** family member for: **JP11295700**

Derived from 1 application

1 REFLECTION LIQUID CRYSTAL DEVICE AND REFLECTION PROJECTOR**Inventor:** KURUMISAWA TAKASHI;
YAMAZAKI TAKU**Applicant:** SEIKO EPSON CORP**EC:****IPC:** G02F1/133; G09G3/36; G02F1/13
(+3)**Publication info:** **JP3832086B2 B2** - 2006-10-11**JP11295700 A** - 1999-10-29Data supplied from the **esp@cenet** database - Worldwide

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-295700

(43) 公開日 平成11年(1999)10月29日

(61) Int.Cl.⁶

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 7 5

F I

G 0 2 F 1/133

G 0 9 G 3/36

5 7 5

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号

特願平10-105223

(22) 出願日

平成10年(1998)4月15日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 胡桃澤 孝

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 山崎 卓

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

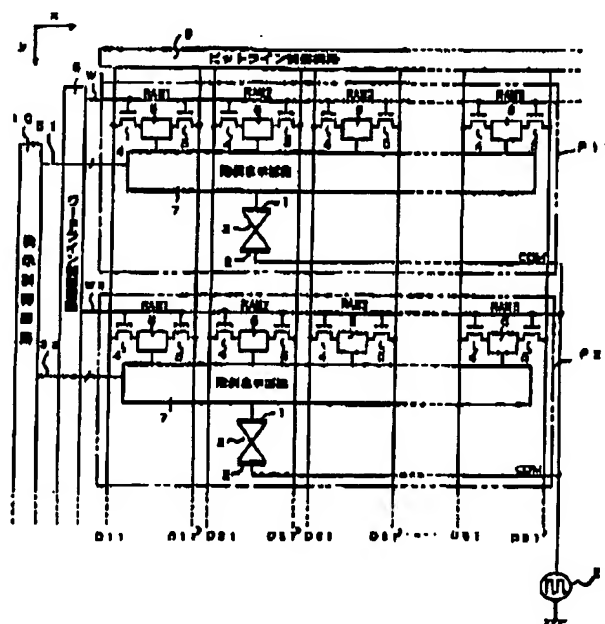
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 反射型液晶装置及び反射型プロジェクタ

(57) 【要約】

【課題】 低消費電力化を図ると共に、クロストーク等による表示品質の劣化を防止し、かつ、階調表示が容易な反射型液晶装置を提供すること。

【解決手段】 反射型画素電極1の下方に、8ビットのSRAMと階調表示回路7を設け、表示制御回路10から各画素の階調表示回路7に対して、8ビットのバイナリカウンタのカウンタ値を出力する。そして、階調表示回路7においては、ワードライン制御回路8及びビットライン制御回路9によりSRAMに保持された8ビットの階調データと、前記カウンタ値との一致を検出し、一致した場合には、画素電極1に対するオン波形の印加期間を定める信号を、ハイレベルからローレベルの信号に切り換える。また、次の走査期間の開始時には、前記カウンタ値と前記SRAMに保持された階調データ値とが一致しないので、前記信号はハイレベル信号に切り換えられる。従って、画素電極1に対しては、階調データに基づく期間だけオン波形が印加され、各画素毎に一走査期間毎の階調表示が行われることになる。



(2)

特開平11-295700

2

【特許請求の範囲】

【請求項1】 第1の基板と、光透過性を有し該第1の基板に対向して設けられた第2の基板と、前記第1の基板にマトリクス状に設けられる反射型の画素電極と、前記第1の基板と前記第2の基板の間に挟持された液晶とを備えた反射型液晶装置であって、前記第1の基板上の前記画素電極が形成された層よりも下層に、前記各々の画素毎に形成され、複数ビットの階調データを保持する階調データ保持手段と、前記データ保持手段に保持された複数ビットの階調データに基づいて、各々の画素の一定査期間におけるオンまたはオフ期間をパルス幅の大きさとして変調するパルス幅変調手段と、前記パルス幅変調手段により変調されたパルス信号に基づいて、前記画素電極にオン電圧またはオフ電圧を供給する電圧供給手段と、前記画素毎に画像信号に基づく前記階調データを保持させる階調データ書き込み制御手段と、を備えることを特徴とする反射型液晶装置。

【請求項2】 前記パルス幅変調手段は、前記各々の画素毎に形成された階調表示回路と、複数の画素に対して共通に設けられた表示制御回路とを備え、前記階調表示回路は、前記表示制御回路から供給されるタイミングデータと前記階調データ保持手段に保持されたデータとの一致を検出し、一致検出時に自己の出力信号の極性を切り換える一致検出回路と、該一致検出回路の出力信号を保持する出力信号保持回路とを備え、前記表示制御回路は、前記各々の階調表示回路に対し、前記タイミングデータとして、最低階調から最高階調までの階調データを、一定査期間内に昇順または降順に出力する回路を備えることを特徴とする請求項1に記載の反射型液晶装置。

【請求項3】 前記パルス幅変調手段は、前記各々の画素毎に形成された階調表示回路と、全ての画素に対して共通に設けられた表示制御回路とを備え、前記階調表示回路は、前記表示制御回路から供給されるタイミングデータと前記階調データ保持手段に保持されたデータとの一致を検出し、一致検出時に自己の出力信号の極性を切り換える一致検出回路を備え、前記表示制御回路は、前記各々の階調表示回路に対し、前記タイミングデータとして、最低階調から最高階調までの階調データを、一定査期間内におけるオン期間またはオフ期間として変したパルス信号であって、該一定査期間の後縁側をオン期間またはオフ期間の後縁の基準とし、あるいは前記一定査期間の前縁側をオン期間またはオフ期間の前縁の基準として、オン期間またはオフ期間が連続するパルス信号を出力する回路を備えることを特徴とする請求項1に記載の反射型液晶装置。

【請求項4】 前記階調データ保持手段は、スイッチング素子を用いて形成されたスタティックRAM（SRA

M）あるいはダイナミックRAM（DRAM）であることを特徴する請求項1乃至請求項3のいずれか一項に記載の反射型液晶装置。

【請求項5】 前記階調データ保持手段は、スイッチング素子を用いて形成され、クロック信号に同期して動作するラッチ回路であることを特徴する請求項1乃至請求項3のいずれか一項に記載の反射型液晶装置。

【請求項6】 請求項1乃至請求項5の何れか一項に記載の反射型液晶装置を備えたことを特徴とする反射型プロジェクト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶装置の技術分野に属し、特に画素内にメモリセルを備えた反射型の液晶装置の技術分野に属するものである。

【0002】

【従来の技術】近年、ノート型パーソナルコンピュータあるいは液晶プロジェクト等の電子機器に用いられる液晶装置として、反射型液晶パネルを備えた液晶装置が注目されている。

【0003】この反射型液晶パネルは、例えば、データ線、走査線、トランジスタ等のスイッチング素子、電荷蓄積容量、及びアルミニウム等の反射型画素電極等を備えたガラス等の基板と、透明導電膜からなる対向電極等を備えたガラス等の基板との間に液晶層を挟持した構成となっている。画素電極が反射型であるため、画素電極の下側にトランジスタ等のスイッチング素子を設けることができ、解像度を高めた場合でもパネルの開口率が低下せず、高解像度と高輝度を両立させることができる。

【0004】しかしながら、このような構成の反射型液晶パネルを駆動する場合には、データ線の電位を画素に設けた電荷蓄積容量に一旦蓄えて、当該電位を反射型画素電極にも印加することで、各画素毎の液晶層へ画像信号電圧を印加する駆動方式を採用していたため、液晶容量及び電荷蓄積容量からの電流のリークが生じる場合がある。従って、液晶容量により保持される電位が低下し、明度やコントラストの低下等の表示状態の劣化を引き起こすことがあった。

【0005】このため、表示画像を高品位に保つには、データ線及び走査線に対する信号の供給を行い、周期的に各画素に電圧を印加してその電位を保持しなければならず、低消費電力化を図ることが困難であるという問題があった。

【0006】そこで、このような問題の解決するために、例えば特開平8-286170号公報等に開示されているように、各画素の反射型画素電極の下側に1ビットのメモリセルを配設した液晶パネルが提案された。

【0007】このようなメモリセルを各画素毎に備えた液晶パネルにおいては、メモリセルによりデータ線からの画像信号がラッチされ、その信号が各画素の液晶層に

3

印加される。そして、メモリセルは、新たな信号が書き込まれるまで前の信号を保持しているため、一旦信号の書き込みを行ってしまえば、データ線及び走査線への信号の供給を停止しても、それまでに書き込まれた画素は静止画像として継続表示することができる。その結果、静止画像表示時に外部からの画像信号の入力を止めることができ、低消費電力化を図ることができる。

【0008】また、画素電圧をデジタル化することにより、クロストーク等による表示品質の劣化が起きにくいといった利点を備えている。

【0009】

【発明が解決しようとする課題】しかしながら、前記のようなメモリセルを各画素毎に備えた従来の液晶パネルを用いた場合には、階調表示を行うことが困難になるという問題があった。

【0010】メモリセルを各画素毎に備えていない構成の場合には、データ線に供給する信号の選択期間でのオンのパルス幅を階調データに応じて制御することにより、各画素の液晶層に印加する電圧を階調データに対応した値にすることができ、所望の階調表示を行うことができた。

【0011】しかし、1ビットのメモリセルを各画素毎に備えた構成の場合には、1ビットデータによってオンまたはオフの表示しかできないため、一選択期間内において当該画素電圧への印加電圧を階調データに対応した値に制御することはできない。

【0012】従って、従来は、例えばフレーム周波数が60Hzの場合には、1フレーム毎に各画素の電圧のオン時間とオフ時間を調整する。つまり、1フレームは、1/60秒間(16.67ms)をさらに256階調ならば256だけ分割し、各々の期間で画面全体のデータを伝送し、オン、オフを表示することで階調を表示するのである。

【0013】その結果、1フレームの1/256期間内に各画素のメモリセルのデータを書き直さなければならず、メモリセルを各画素毎に備えた場合における上述したような利点を生かすことができないという問題があった。

【0014】また、上述のような制御を行うためには、1フレームの1/256期間毎にオン時間とオフ時間を調整するため、結果的に液晶層に印加される電圧の切り換え回数が多くなるため、電圧波形になまりが生じ、正確な階調表示を行うことができなかった。

【0015】そこで、本発明は、前記課題点を解決し、低消費電力化を図ると共に、クロストーク等による表示品質の劣化を防止し、かつ、階調表示が容易な反射型液晶装置及び反射型 프로젝터를提供することを課題としている。

【0016】

【課題を解決するための手段】請求項1に記載の反射型

(3)

特開平11-295700

4

液晶装置は、前記課題を解決するために、第1の基板と、光透過性を有し該第1の基板に対向して設けられた第2の基板と、前記第1の基板にマトリクス状に設けられる反射型の画素電極と、前記第1の基板と前記第2の基板の間に挟持された液晶とを備えた反射型液晶装置であって、前記第2の基板上の前記画素電極が形成された層よりも下層に、前記各々の画素毎に形成され、複数ビットの階調データを保持する階調データ保持手段と、前記階調データ保持手段に保持された複数ビットの階調データに基づいて、各々の画素の一選択期間におけるオンまたはオフ期間をパルス幅の大きさとして変調するパルス幅変調手段と、前記パルス幅変調手段により変調されたパルス信号に基づいて、前記画素電極にオン電圧またはオフ電圧を供給する電圧供給手段と、前記画素毎に画像信号に基づく前記階調データを保持させる階調データ書き込み制御手段とを備えることを特徴とする。

10

20

【0017】請求項1に記載の反射型液晶装置によれば、外部から画像信号が供給されると、階調データ書き込み制御手段により、当該画像信号に基づいて各々の画素の階調データ保持手段に対して書き込み制御信号が出力される。これにより、各々の画素の階調データ保持手段においては、前記出力された書き込み制御信号に基づいて複数ビットの階調データが保持される。従って、各々の画素における階調データの値が異ならない限り、一旦階調データを保持させれば、この保持させた階調データに基づいて画素電極にオン電圧またはオフ電圧が供給されることになり、各選択期間毎に各画素において階調データを書き換える必要がなくなる。

30

【0018】そして、パルス幅変調手段は、これらの階調データ保持手段によって各々の画素毎に保持された多ビットの階調データに基づいて、各々の画素の一選択期間におけるオンまたはオフ期間をパルス幅の大きさとして変調する。更に、電圧供給手段は、前記パルス幅変調手段により変調されたパルス信号に基づいて、前記画素電極にオン電圧またはオフ電圧を供給する。従って、各画素は、一選択期間内において階調データに基づく期間だけオン状態となり、階調表示される。

40

【0019】請求項2に記載の反射型液晶装置は、前記課題を解決するために、請求項1に記載の反射型液晶装置において、前記パルス幅変調手段は、前記各々の画素毎に形成された階調表示回路と、全ての画素に対して共通に設けられた表示制御回路とを備え、前記階調表示回路は、前記表示制御回路から供給されるタイミングデータと前記階調データ保持手段に保持されたデータとの一致を検出し、一致検出時に自己の出力信号の極性を切り換える一致検出回路と、該一致検出回路の出力信号を保持する出力信号保持回路とを備え、前記表示制御回路は、前記各々の階調表示回路に対し、前記タイミングデータとして、最低階調から最高階調までの階調データを、一選択期間内に昇順または降順に出力する回路を備

50

(4)

特開平11-295700

5

6

えることを特徴とする。

【0020】請求項2に記載の反射型液晶装置によれば、表示制御回路から、各々の階調表示回路に対し、最低階調から最高階調までの階調データが、タイミングデータとして一定査期間内に昇順または降順に出力されると、各画素毎に設けられた階調表示回路においては、一致検出回路により、各画素毎に設けられた階調データ保持手段に保持されたデータと、前記一定査期間内に昇順または降順に出力される階調データとが一致するかが判断される。そして、一致が検出された際には、一致検出回路の出力信号の極性が切り換えられ、出力信号保持回路によりこの出力信号はこの極性で保持されることになる。従って、各々の画素において、一定査期間の開始時における極性の初期状態を、前記出力信号保持回路によって保持される信号の極性と反対の極性に設定しておくことにより、前記一致検出回路による出力信号の極性の切り換えから、次の一定査期間の開始時の初期状態への切り換えにより、あるいはこの初期状態への切り換えから、前記一致検出回路による出力信号の極性の切り換えにより、前記出力信号保持回路によって保持される出力信号はパルス信号として出力されることになる。また、前記タイミングデータは、最低階調から最高階調までの階調データが、一定査期間内に昇順または降順に出力されるデータであるから、上述のようにして出力されるパルス信号のオン期間あるいはオフ期間は、その前縁または後縁を、一定査期間の前縁または後縁を基準とし、オン期間またはオフ期間が連続するパルス信号となる。従って、一定査期間が短くなり、高い周波数で表示を行う場合でも、液晶に与える電圧の切り換え回数を減少させることができ、波形のなまりによる実効電圧の低下を防止して、正確な階調表示を行うことができる。

【0021】請求項3に記載の反射型液晶装置は、前記課題を解決するために、請求項1に記載の反射型液晶装置において、前記パルス幅変調手段は、前記各々の画素毎に形成された階調表示回路と、複数の画素に対して共通に設けられた表示制御回路とを備え、前記階調表示回路は、前記表示制御回路から供給されるタイミングデータと前記階調データ保持手段に保持されたデータとの一致を検出し、一致検出時に自己の出力信号の極性を切り換える一致検出回路を備え、前記表示制御回路は、前記各々の階調表示回路に対し、前記タイミングデータとして、最低階調から最高階調までの階調データを、一定査期間内におけるオン期間またはオフ期間として表したパルス信号であって、該一定査期間の後縁側をオン期間またはオフ期間の後縁の基準とし、あるいは前記一定査期間の前縁側をオン期間またはオフ期間の前縁の基準として、オン期間またはオフ期間が連続するパルス信号を出力する回路を備えることを特徴とする。

【0022】請求項3に記載の反射型液晶装置によれば、表示制御回路から、各々の階調表示回路に対し、ク

イミングデータとしてのパルス信号が出力されると、各画素毎に設けられた階調表示回路においては、一致検出回路により、各画素毎に設けられた階調データ保持手段に保持されたデータと、前記タイミングデータとが一致するかが判断される。一致が検出された際には、一致検出回路の出力信号の極性が切り換えられるが、前記タイミングデータは、上述のようにパルス信号であるから、このパルス信号のオン期間においては連続して前記一致が検出されることになる。つまり、前記一致の検出により極性が切り換えられた出力信号は、パルス信号のオン期間中においてその極性で保持される。

【0023】従って、各々の画素において、一定査期間の開始時における極性の初期状態を、前記出力信号保持回路によって保持される信号の極性と反対の極性に設定しておくことにより、前記一致検出回路による出力信号の極性の切り換えから、次の一定査期間の開始時の初期状態への切り換えにより、あるいはこの初期状態への切り換えから、前記一致検出回路による出力信号の極性の切り換えにより、前記出力信号保持回路によって保持される出力信号はパルス信号として出力されることになる。

【0024】また、前記タイミングデータとしてのパルス信号は、最低階調から最高階調までの階調データを、一定査期間内におけるオン期間として表したパルス信号であって、該一定査期間の後縁側をオン期間の後縁の基準とし、あるいは前記一定査期間の前縁側をオン期間の前縁の基準として、オン期間が連続するパルス信号である。従って、一定査期間が短くなり、高い周波数で表示を行う場合でも、液晶に与える電圧の切り換え回数を減少させることができ、波形のなまりによる実効電圧の低下を防止して、正確な階調表示を行うことができる。

【0025】請求項4に記載の反射型液晶装置は、前記課題を解決するために、請求項1乃至請求項3のいずれか一項に記載の反射型液晶装置において、前記階調データ保持手段は、スイッチング素子を用いて形成されたスタティックRAM (SRAM) あるいはダイナミックRAM (DRAM) であることを特徴する。

【0026】請求項4に記載の反射型液晶装置によれば、階調データ保持手段は、各々の画素においてスイッチング素子を用いて形成されたスタティックRAM (SRAM) あるいはダイナミックRAM (DRAM) である。従って、液晶装置の高解像度化等に伴い、画素電極の小型化が図られた場合でも、階調データ保持手段を画素電極の下層に確実に作り込むことができ、容易に多ビット化することができる。

【0027】請求項5に記載の反射型液晶装置は、前記課題を解決するために、請求項1乃至請求項3のいずれか一項に記載の反射型液晶装置において、前記階調データ保持手段は、スイッチング素子を用いて形成され、クロック信号に同期して動作するラッチ回路であることを特徴する。

7

【0028】請求項5に記載の反射型液晶装置によれば、階調データ保持手段は、各々の画素においてスイッチング素子を用いて形成され、クロック信号に同期して動作するラッチ回路である。従って、クロック信号を制御するだけで容易に階調データを保持させることができる。

【0029】請求項6に記載の反射型プロジェクタは、請求項1乃至請求項5の何れか一項に記載の反射型液晶装置を備えたことを特徴とする。

【0030】請求項6に記載の反射型プロジェクタによれば、反射型プロジェクタは、上述した本発明の反射型液晶装置を備えており、正確な階調表示を容易に行うことのできる反射型液晶装置により、高品質な画像表示を行うことができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0032】（第1の実施形態）まず、本発明の第1の実施形態を図1乃至図6に基づいて説明する。

【0033】図1は本実施形態における反射型液晶装置の回路構成を説明するためのブロック図である。

【0034】図1には示さないが、本実施形態の反射型液晶装置は、ガラスやSiなどの第1の基板上に、複数のデータ線対（ $D11: D11'$, $D21: D21'$, $\sim D81: D81'$ ） $\sim [D1m: D1m', D2m: D2m', \sim D8m: D8m']$ と、複数の表示制御線（ $S1 \sim Sn$ ）がマトリクス状に互いにほぼ直交して配置されている。

【0035】データ線対は $D11: D11'$, $D21: D21' \sim D81: D81'$ の8対を一組としており、図1には示されないがこのデータ線対の組が図示のx方向に沿ってm組設けられており、各組のデータ線対が、第1列～第m列の各画素領域に対応している。なお、図1においては、一部の画素領域のみを示しているため、第2組～第m組のデータ線対（ $D12: D12'$, $D22: D22'$, $\sim D82: D82'$ ） $\sim [D1m: D1m', D2m: D2m', \sim D8m: D8m']$ について図示を省略している。

【0036】表示制御線（ $S1 \sim Sn$ ）は、図1には示されないが図示のy方向に沿ってn本設けられており、第1行～第n行の各画素領域に対応している。なお、図1においては、第3行～第n行の表示制御線（ $S3 \sim Sn$ ）については図示を省略している。

【0037】以上のような各組のデータ線対と表示制御線が交差する領域は、第1行第1列から第n行第m列までの $n \times m$ 個の画素領域（ $P11 \sim Pnm$ ）となっている。すなわち、本実施形態においては、8つのデータ線対と1つの表示制御線から構成されるブロックが画素領域に対応する。この各画素領域にはアルミニウム等で形成された反射型の画素電極1が設けられている。な

(5)

特開平11-295700

8

お、図1においては、第1行第1列の画素領域 $P11$ と、第2行第1列の画素領域 $P21$ のみを示している。

【0038】一方、以上のような画素電極1が形成された第1の基板と対向する位置には、ガラス等で形成された第2の基板が配置されており、当該第2の基板の前記画素電極1と対向する側には、透明電極で形成された対向電極2が設けられている。対向電極2は第2の基板上においてマトリクス状に形成されているのではなく、全画素領域を覆う共通電極として成いは各画素行毎にストライプ状に形成されている。そして、第2の基板上には、必要に応じて第1の基板の画素電極1が形成されていない領域を覆うように、ブラックマトリクス等の遮光膜が形成されている。

【0039】そして、前記画素電極1と対向電極2の間には、液晶層が封入されており、各画素領域に対応して液晶セル3を構成している。液晶としては、ツイステッドネマチック（TN）型液晶、スーパーツイステッドネマチック（STN）型液晶、双安定のメモリー性を有するTN型液晶、スーパーホメオトロピック（SH）型の液晶、ゲスト・ホスト（GH）型液晶など種々の液晶を用いることができる。但し、GH型を除いて、第2の基板の外側に偏光板や偏光ビームスプリッタ等の偏光子が必要となる。

【0040】次に、前記各画素領域における画素電極1の下側（画素電極1の液晶セル3との接触側とは反対側）には、スイッチング素子としてのトランジスタ4、5、及びメモリ部6から成る階調データ保持手段としての8ビットのランダムアクセスメモリ（RAM）と、階調表示回路7が設けられている。

【0041】RAMは、相補データが対にして伝送されるデータ線対（ $D11: D11'$, $D21: D21'$, $\sim D81: D81'$ ） $\sim [D1m: D1m', D2m: D2m', \sim D8m: D8m']$ から相補データD、 \bar{D} をメモリ部6に書き込むためのトランスファークラップであるNチャネル型の電界効果トランジスタ（FET）4と、Nチャネル型のFET5とを備えている。これらのFET4、5のゲート端子には、図1に示すようにワード線 $W1, W2 \sim Wn$ が接続されている。

【0042】本実施形態のメモリ部6は、図2（A）に示すようなSRAM型の構成となっており、相補型FETまたは負荷抵抗型NチャネルFETから構成される二つのインバータ6b、6cにより構成されたフリップフロップからなるメモリセル6aと、メモリセル6aの記憶データの論理を反転出力させるための相補型インバータ6dとから構成されている。

【0043】このような構成のRAMの動作を、画素領域 $P11$ に備えられた1ビット目のRAM1を例として説明する。なお、定常状態においては、データ線 $D11$ 、データ線 $D11'$ は共にハイレベルの電位であり、

50

(6)

特開平11-295700

9

ワード線W1はローレベルの電位であるとする。

【0044】まず、メモリセル6aのノードQにハイレベルの電位のデータを印加する場合には、図1に示す階調データ書き込み制御手段としてのビットライン制御回路9により、データ線D11をハイレベルの電位、データ線D11'をローレベルの電位にする。次に、図1に示す階調データ書き込み制御手段としてのワードライン制御回路8によりワード線W1をハイレベルの電位とすると、FET4及びFET5がオン状態となる。これにより、図2に示すように、メモリセル6aのFET4側のノードQの電位はハイレベルとなり、FET5側のノードQ'の電位はローレベルとなって、安定した状態が維持され、データの書き込みが行われる。

【0045】一旦データが書き込まれると、ワード線W1をローレベルの電位とし、FET4、5をオフにしても、メモリセル6aのノードQ及びノードQ'の状態は変化せず、保持された状態となる。

【0046】従って、メモリ部6の出力部OUTの電位は、メモリセル6aのノードQ'の電位をインバータ6dにより反転させてハイレベルとなり、階調表示回路7には最初にデータ線D11に書き込んだハイレベルの電位のデータが出力されることになる。

【0047】また、メモリセル6aにローレベルの電位のデータを書き込む際にも、図1に示すビットライン制御回路9により、データ線D11をローレベルの電位、データ線D11'の電位はハイレベルの電位に設定し、ワードライン制御回路8によりワード線W1をハイレベルの電位とし、FET4及びFET5をオン状態にする。これにより、メモリセル6aのFET4側のノードQの電位はローレベルとなり、FET5側のノードQ'の電位はハイレベルとなって、安定した状態が維持され、データの書き込みが行われる。

【0048】従って、メモリ部6の出力部OUTの電位は、メモリセル6aのノードQ'の電位をインバータ6dにより反転させてローレベルとなり、階調表示回路7には最初にデータ線D11に書き込んだローレベルの電位のデータが出力されることになる。

【0049】RAMの各ビットには以上のようにして行方向に並ぶ画素領域毎にデータを書き込むことができる。本実施形態においては、まず、選択した列方向における画素領域のRAMの各ビットについて、ビットライン制御回路9にてデータ線対〔D11: D11', D21: D21' ~ D81: D81'〕~〔D1m: D1m', D2m: D2m' ~ D8m: D8m'〕の各々にハイレベルとローレベルの相補データを出力し、次にワードライン制御回路8により、ワード線W1~Wnのいずれかをハイレベルにしていずれかの行方向の画素領域を一括選択することにより、RAMの各ビットに所望のデータを書き込むように構成している。

【0050】つまり、本実施形態においては、各画素領

10

域毎に、8ビットのデジタルデータを記憶させることができるので、画像信号に含まれる各画素毎の階調データを各画素領域のRAMに記憶させ、最大で256階調の階調表現を可能としている。

【0051】なお、各画素領域のRAMに一旦データを書き込むと、その値は次のデータが書き込まれるまで保持され、また、書き込み電圧に対する液晶の応答速度はデータが書き換えられる速度よりも著しく遅いため、データのRAMへの書き込みタイミングは画像の表示タイミングと全く非同期にすることができる。

【0052】なお、各画素領域のRAMのメモリセル6aの構成は、図2(A)に示したSRAM型に限られず、図2(B)に示すようなDRAM型とすることもできる。DRAM型の場合には、データの電位は保持容量6fに書き込まれることになり、書き込まれた電位はインバータ6e及びインバータ6dを介して出力されることになる。DRAM型を用いた場合には、リフレッシュ動作が必要となるが、第1の基板上におけるメモリセル6aの面積を微細なものにすることができるため、RAMの高集積化が可能となる。

【0053】なお、DRAMの場合は、図1のデータ線対から、D11', D21', ..., D81'を除き、更にトランスファークロップ5を除き、図2のインバータ6eを除くことができ、そうすることにより、各画素のデータ保持手段はFET4、容量6f、相補型インバータ6dで構成できる。

【0054】次に、以上のようにして各画素領域に8ビットのRAMに書き込まれた階調データを、液晶セル3に書き込むことにより画像の表示を行うための階調表示回路7の構成について説明する。

【0055】複数ビットによりデジタル化された階調データを、液晶セル3に印加する実効電圧として反映させるには、液晶セル3に接続された画素電極1に供給する信号のオン期間を階調データに対応させて変調させるパルス幅変調制御を行う必要がある。

【0056】本実施形態では、各画素毎に階調表示回路7を配置し、その階調表示回路7を図3に示すように構成した。図3に示すように、階調表示回路7は、一致検出回路7aとオンオフ波形選択回路7bとを備えている。

【0057】一致検出回路7aは、入力部11に、排他的論理和回路の出力段に否定回路が接続された入力ゲート回路を、画素領域のRAMのビット数分備えており、この入力部11の入力ゲート回路には、図1に示す表示制御回路10に備えられた8ビットのバイナリカウンタの各段から出力されるバイナリ信号P0~P7と、画素領域のRAMの各ビットからの出力信号とが各々入力されるように構成されている。従って、前記バイナリ信号P0~P7により表される値、即ち前記8ビットのバイナリカウンタによるカウント値(0~255)

(7)

特開平11-295700

11

12

が、RAMに記憶されたデータの値に等しくなった時に、全ての入力ゲート回路の出力がハイレベルとなり、これにより、入力部11の前段に設けられたAND回路部12の全てのANDゲート回路の出力がハイレベルとなる。このAND回路部12のハイレベルの出力は、ANDゲート回路で構成されたラッチゲート回路13の一方の入力端子に入力されるため、このラッチゲート回路13の他方の入力端子に、図1に示す表示制御回路1から出力されるハイレベルに立ち上がるラッチパルス信号LPが入力されると、Dフリップフロップ回路により構成される出力信号保持回路としてのラッチ回路14のクロック入力端子Cに対して、ハイレベルに立ち上がるパルス信号が入力される。これにより、ラッチ回路14においては、入力端子Dに入力された信号が出力端子XQから出力されることになる。本実施形態では、この入力端子Dにはローレベル信号VSSが入力されているので、出力端子XQからはローレベルに立ち下がる信号が出力されることになり、リセット端子Rに対してリセット信号が入力されるまで維持される。このリセット端子Rにはインバータ回路15を介して、図1に示す表示制御回路10から出力される一定査期間(周期T)の開始を示すタイミング信号YDが入力されるように構成されている。なお、上述した8ビットのバイナリカウンタもこのタイミング信号YDに同期してリセットされ、カウントを開始するように構成されている。また、このタイミング信号YD、上述したバイナリ信号P0~P7、及びラッチパルス信号LPは、図1に示すように、表示制御回路10から、表示制御線(S1~Sn)を介して全ての画素に設けられた階調表示回路7の各々に供給されるように構成されている。なお、図3のAND回路は入力ゲート回路の出力をワイヤード接続して省略してもよい。

【0058】また、オンオフ波形選択回路7bは、図3に示すようにスイッチ回路になっている。表示制御回路10から出力されるオン波形ONWとオフ波形OFFWを一致検出回路7aからの信号によって選択するものである。

【0059】以上のように構成される階調表示回路7の動作を、図3及び図4に基づいて説明する。まず、一定査期間の開始を示すタイミング信号YDが、階調表示回路7に出力されると、ラッチ回路14の出力は初期状態であるハイレベルの電位となる。従って、オンオフ波形選択回路7bにおいては、オン波形ONWが選択され、画素電極1に供給される。

【0060】また、これと同時に表示制御回路10内の8ビットのバイナリカウンタのカウント動作が開始される。その結果、階調表示回路7には、0~255の値をとるバイナリ信号P0~P7が出力される。更に、図4に示すように、表示制御回路10から出力されるラッチパルス信号LPも、8ビットのバイナリカウンタのカウ

ント周期に同期して出力されるため、各画素領域に設けられたRAMに記憶されたデータ値と、前記カウンタ値とが一致すると、ラッチ回路14の出力はローレベル信号に切り換えられ、その後次の走査期間が開始されるまで、ローレベル信号として維持される。ラッチ回路14の出力がローレベル信号になると、オンオフ波形選択回路7bにおいては、オフ波形OFFWが選択され、画素電極1に供給される。以上のようにオン電位を画素電極に印加する時間幅に応じて維持することで、各画素の液晶セルに階調レベルに応じた実効電圧を与えることができる。

【0061】図4に示す例では、RAMのデータが「7」である時の例を示しており、一定査期間内において、前記オンオフ波形選択回路7bに対する選択パルスについて、各画素領域毎に階調データに対応したパルス幅変調が行われることが判る。

【0062】図5に各階調データに対応する前記選択パルスの例を示す。図5に示すように、本実施形態によれば、各選択パルスのオン期間は、走査期間の開始位置に揃えられており、また、オン期間が分散することなく、連続して構成されている。従って、本実施形態によれば、液晶に対して印加する電圧波形の遷移回数を減少させることができ、特に、走査周波数が高い周波数となり、各々のパルスのオン期間が短くなる場合でも、波形のなまりを発生させず、正確な階調表示を行うことができる。

【0063】さらに、本実施形態においては、図1に示すように、対向電極2に交流化電源20を接続し、図6に示すように一定査期間毎に+3.0Vと0Vに交互に切り換えられるパルス信号を供給するように構成した。そして、オフ波形OFFWとして、図6に示すように対向電極2に供給するパルス信号と同位相のパルス信号を用い、オン波形ONWとして、図6に示すように対向電極2に供給するパルス信号と逆位相のパルス信号を用いた。

【0064】つまり、対向電極2に対して図6に示すようなパルス信号を供給すると共に、画素電極1に対して当該パルス信号と同位相のパルス信号のオフ波形OFFWを供給すると、対向電極2と画素電極1の間の電位差は無くなり、液晶セル3に対しては電圧が印加されない状態となる。しかし、オン波形ONWとして対向電極2に供給するパルス信号と逆位相のパルス信号を画素電極1に供給すると、対向電極2と画素電極1の間の電位差は常に3Vとなるが、一定査期間毎に電圧の方向が異なることになり、交流駆動が行われることになる。

【0065】このように、本実施形態によれば、第1の基板上に形成した回路の動作電圧を3.0Vとし、その回路のゲート耐圧を3.0V+αとした場合でも、液晶を交流駆動できるので、パターンを微細化した場合でも良好に液晶を駆動することができる。また、上記各回路

13

の動作電圧（電源電圧）を低電圧にできるので、消費電力を大幅に低減できる。

【0066】そして、上述したようなオンオフ波形選択回路7bにより、一致検出回路7aの出力に基づいて、オン波形ONWとオフ波形OFFWとを選択することにより、一走査期間内におけるオン波形ONWの選択期間を、RAMに記憶された階調データに応じて伸張することができ、良好な階調表示が可能となる。

【0067】また、本実施形態の階調表示回路を用いることにより、液晶セルの透過率特性の補正を容易に行うことができる。

【0068】図17にノーマリーホワイトモードの場合とノーマリーブラックモードの場合についての、液晶セルに対する印加電圧（実効値）に対する透過率特性の一例を示す。

【0069】図17に示すように、いずれのモードの場合も、最大または最小の階調レベルに近づくほど、印加電圧に対する透過率の変化が線形でなくなってくるため、最大または最小の階調レベルに近い場合には、印加電圧のパルス幅を補正しなければならない。

【0070】そこで、本実施形態では次に説明するようなパルス幅補正回路を用いることにより、印加電圧のパルス幅を補正している。なお、以下の説明においては、説明を簡単にするために、RAMを4ビットで構成した場合について説明する。また、以下の説明では選択パルスは走査期間の終了位置に揃えられる点も本実施形態とは異なっている。

【0071】図7にパルス幅補正回路の一例、図8に当該パルス幅補正回路の各部のタイムチャート、図9に画素電極と対向電極に液晶層が挟持された液晶セルの等価回路、図10に画素印加電圧と液晶層への印加電圧との関係図を示す。

【0072】図7に示すパルス幅補正回路は、カウンタ601と、D型フリップフロップ602と、ANDゲート603と、PLA回路604と、PLA回路604のためのプルアップ用PチャネルMOSFET605と、ANDゲート606とから構成される。

【0073】カウンタ601は、9段のバイナリカウンタであり、クロック信号端子CLに入力されるクロック信号f1を計数する。このクロック信号f1は、D型フリップフロップ602にも入力され、当該D型フリップフロップ602とANDゲート603とからなる回路により、クロック信号f1に同期したリセット信号Rの立ち上がり微分パルスが形成される。そして、この微分パルスはカウンタ601のリセット信号端子Rに入力され、カウンタ601はこの微分パルスによりリセットされる。

【0074】また、カウンタ601のQ2～Q8の7ビットの出力には、NチャネルMOSFETによるPLA回路604が接続されている。PLA回路604は10

(8)

特開平11-295700

14

個の出口を有しており、各々[78]～[27]といった数値をデコードする。ここで、この数値の設定について説明する。

【0075】図10は画素への印加電圧 V_p に対する液晶層への充電電圧 V_{ic} の電圧曲線を描いたものである。この電圧曲線は、画素の時定数によって決定され、この時定数は、画素の等価回路を図9のように考えた場合に、液晶層の等価容量 C_{ic} と、画素の抵抗成分Rとの積により表される。画素の抵抗成分Rは、行側、列側各々の駆動回路の出力抵抗の合成抵抗である R_o と、トランジスタの等価抵抗 R_{n1} との合成抵抗である。このように表される時定数を、走査期間 T_n に液晶層への充電電圧 V_{ic} がトランジスタのON電圧 V_{on} の80%まで立ち上がるように仮定すれば、液晶層への充電電圧 V_{ic} の時間による変化は図10に示すようになる。

【0076】図10に示す曲線上の数字は、液晶層への充電電圧 V_{ic} が、画素への印加電圧 V_p に対して、 $V_{ic} = 0.8V_p$ となる場合に、当該充電電圧 V_{ic} を均等に15分割し、更に一走査期間 T_n を80分割して $T_n/80$ を1パルスとした時に、分割した各々の電圧を得るために必要な当該パルスの個数である。このような設定により、図10に示す曲線上には全部で14個の数字が記載されることになり、16階調を出すことに対応している。そして、これらの14個の数字の80に対する補数が、図7及び図8に括弧書きで示したデコード対象の数値である。また、図8には、各数値に対するPLA回路604によるデコード結果として、PLA回路604の10個の出口から出力されるパルス信号を、前記括弧書きで示したデコード対象の数値に対応させて示している。図8に示すように、これらのパルス信号は負極性の信号であるため、インバータ回路により極性を反転させ、この極性を反転させたデコード結果としてのパルス信号と、クロック信号f1の4分周出力であるカウンタ601の出力Q1との論理積をANDゲート606で演算することにより、補正クロック信号f2が出力される。

【0077】このようにして得られた補正クロック信号f2を、図示しない4ビットのバイナリカウンタに入力し、このバイナリカウンタによる補正クロック信号f2の計数を行う。そして、この計数結果と、RAMに記憶されたデータを極性反転した値との一致を検出し、一致した時にラッチ回路がセットされるように構成する。例えば、RAMに記憶されたデータが(0010)であった場合には、図8に示すように、4ビットバイナリカウンタの値が(1101)になった時、即ち13個目の補正クロック信号f2を計数するタイミングでラッチ回路の出力がハイレベルにセットされる。また、RAMに記憶されたデータが(0110)であった場合には、図8に示すように、4ビットバイナリカウンタの値が(1001)になった時、即ち9個目の補正クロック信号f

15

2を計数するタイミングでラッチ回路の出力がハイレベルにセットされる。更に、RAMに記憶されたデータが(1100)であった場合には、4ビットバイナリカウンタの値が(0011)になった時、即ち3個目の補正クロック信号f2を計数するタイミングでラッチ回路の出力がハイレベルにセットされる。

【0078】そして、以上のようにしてラッチ回路の出力がハイレベルにセットされた期間において、オン波形ONWが選択され、それ以外の期間においてはオフ波形OFFWが選択される。

【0079】以上のような構成により、補正クロック信号f2は、印加電圧に対する透過率の変化の非線形性を反映した間隔で出力されることになり、この補正クロック信号f2に基づいてセットされるラッチ回路のハイレベルの期間にも前記非線形性が反映されるので、前記非線形性に対応した適切な充電電圧 V_{ic} を液晶層に印加することができる。

【0080】本実施形態においては、RAMが8ビットで構成され、256階調の階調表示を行うため、例えば走査期間 T_H 内に、画素への印加電圧 V_r の80%まで立ち上がる液晶層への充電電圧 V_{ic} を255分割し、走査期間 T_H を255で分割した期間を一周期とする基準パルスを用いて、255分割した各々の電圧に至るまでの基準パルスの個数を図10に示すような曲線に従って求める。更に、この基準パルスの個数を、図7に示すようなバイナリカウンタとPLA回路を用いてデコードし、一走査期間 T_H に254個出力される補正クロック信号f2を出力させる。そして、この補正クロック信号f2を8ビットバイナリカウンタにより計数し、図3に示すバイナリ信号P0～P7を出力させる。このようにして、印加電圧に対する透過率の変化の非線形性に対応した適切な電圧を画素に印加することができ、良好な階調表示を行うことができる。

【0081】以上のように、本実施形態によれば、各画素において階調データを保持するためのRAMを設けたので、階調データの値が変わらない限り、各画素における階調データの書き換えを行う必要がなく、RAMに対する階調データの一度の書き込みを行うだけで、液晶に対して適切な電圧を印加することができる。

【0082】また、前記RAMは、従来のような1ビットではなく、複数ビットで構成され、更に、各画素毎に階調表示回路を備えて、当該複数ビットのRAMに保持された階調データに基づいてオン波形の選択パルスをパルス幅変調するように構成したので、各画素毎に独立して一走査期間毎の階調表示を行うことができる。つまり、あたかも階調データをフレームメモリに書き込む処理と同様の処理を行うだけで階調表示が可能となり、階調表示制御を容易に行うことができる。

【0083】更に、前記選択パルスのオン期間は、走査期間の開始位置に揃えられ、しかも、一走査期間内に分

(9)

特開平1-295700

16

散されることなく連続するように構成されているので、表示周波数が高い周波数となり、前記選択パルスのオン期間が短くなる場合でも、液晶に対して印加する電圧波形の遷移回数を増加させず、選択パルスの波形になりみを発生させることがない。従って、液晶に対して印加する実効電圧を低下させることがなく、良好な階調表示が可能である。なお、オフ期間を開始位置に揃え、一走査期間の階調レベルに応じたタイミングでオン期間に遷移しても良い。

10 【0084】また、対向電極には交流電圧信号を印加すると共に、前記交流電圧信号の位相を逆位相と同位相に切り換えることにより、画素電極に印加するオン波形とオフ波形の切り換えを行うように構成したので、画素電極に対して電圧の供給を行うゲート手段の耐圧を従来よりも低下させることができ、微細なパターン化を実現することができる。

【0085】本実施形態では、反射型の各画素電極1の下に第1の基板にP11の複数ビットのRAMと、階調表示回路7とを形成することになる。

20 【0086】従って、本実施形態によれば、高解像度と高輝度を両立できるという反射型液晶装置の利点を生かしつつ、低消費電力で、容易かつ良好な階調表示を行うことができる。

【0087】なお、本実施形態においては、選択パルスのオン期間を、走査期間の開始位置を基準にしてまとめた例について説明したが、本発明はこのような構成に限られるものではなく、走査期間の終了位置を基準としてまとめるように構成しても良い。

30 【0088】(第2の実施形態)次に、本発明の第2の実施形態を図11乃至図14に基づいて説明する。なお、第1の実施形態との共通箇所については同一符号を付して説明を省略する。

【0089】本実施形態は、図11に示すように、各画素毎に第1の実施形態のようなRAMの代わりにインバータからなるラッチ回路30、31を用い、また、一致検出回路に入力するデータとして、バイナリカウンタのカウントデータを用いる代わりに、選択パルスのオン期間を直接規定するタイミングデータを用いたところが、第1の実施形態と異なる。

40 【0090】各画素に設けられるラッチ回路30、31は、図11に示すように、各々2個の相補型クロックドインバータ30a、30b(31a、31b)と1個の相補型インバータ30c(31c)から構成されており、図12(B)に示すように、クロック信号CLの立ち上がりで、入力データD1(D2)をラッチする。本実施形態では、2ビット分のラッチ回路を備えており、4階調の階調表示が可能である。

50 【0091】各画素に設けられる一致検出回路32は、図11に示すように、ANDゲート回路32aとORゲート回路32bとから構成されており、ラッチされた2

(10)

特開平 11-295700

17

18

ビットのデータの一致、ラッチされたデータの各々とタイミングデータとの一致を検出した時、ハイレベル信号を出力する。

【0092】本実施形態においては、ゲート数を減少させるために、一致検出回路32内にはラッチ回路を設けず、表示制御回路10からANDゲート回路32aに対し、直接、図12(A)に示すようなタイミングデータG1、G2を入力するように構成した。

【0093】オンオフ波形選択回路33は、イクスクルーシブ回路と否定回路からなり、一致検出回路の出力がハイレベル信号の場合に、対向電極2に印加される波形DRと逆位相の波形をパルス幅変調された信号として出力する。

【0094】図12(A)に本実施形態における動作のタイミングチャートを示す。図12(A)に示すように、本実施形態においては、ラッチ回路30、31にラッチされたデータが(M1、M2=1、1)の場合には、タイミングデータG1、G2の値によらず、一走査期間の全期間においてオン波形が選択される。また、ラッチ回路30、31にラッチされたデータが(M1、M2=1、0)の場合には、タイミングデータG1がそのまま選択されることになり、一走査期間の2/3の期間においてオン波形が選択される。更に、ラッチ回路30、31にラッチされたデータが(M1、M2=0、1)の場合には、タイミングデータG2がそのまま選択されることになり、一走査期間の1/3の期間においてオン波形が選択される。

【0095】以上のようなタイミングデータを用いることにより、本実施形態では、一致検出回路の構成を簡略化することができるだけでなく、第1の実施形態におけるラッチ回路14を省略することができ、回路を簡略化することが可能である。本実施形態の回路を、相補型のFETで構成した回路図を図13(A)、(B)に示す。また、この回路のパターン図を図14に示す。

【0096】図12に示すように、本実施形態によれば、反射型の各画素電極の下に第1の基板に以上に説明した回路を形成する。従って、液晶装置の小型化及び高解像度化を図り、画素電極の面積を小さくした場合でも、本実施形態の回路を備えた反射型液晶装置を製造することが可能である。

【0097】(第3の実施形態)次に、本発明の第3の実施形態を図15及び図16に基づいて説明する。なお、第1の実施形態との共通箇所については同一符号を付して説明を省略する。

【0098】本実施形態の反射型液晶装置は、図15に示すように、第2の基板1304aと、第1の基板1304bとを備え、第1の基板1304bには、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320が接続されている。ICチップ1324は、反

射型液晶装置の制御を補助するものであり、第1の基板1304bにその機能をすべて内蔵する場合には付加されない場合もある。本実施形態においては、このように構成される液晶装置を液晶ライトバルブ100B(100R、100G)として反射型プロジェクタに用いる。

【0099】図16は本実施形態の反射型プロジェクタの構成を示す図である。本実施形態の反射型プロジェクタは、図16に示すように、光源ランプ200から出射された光(概ね白色光)は、クロスダイクロイックミラーからなる色分解ミラー201により青色光Bと赤色光R・緑色光Gに分光される。また、各光はミラー202を介して偏光ビームスプリッタ(PBS)203に入射され、PBS203によりS偏光光が色光変調用の反射型液晶ライトバルブ100B、100R、100Gに入射される。入射された色光は、各ライトバルブの第2の基板1304aから液晶層に入射し、反射型の各画素電極にて反射され、再び液晶層を透過して出射される。この液晶層を透過する際に、各画素電極と対向電極間に印加されていた実効電圧に応じて、入射されたS偏光光の偏光軸がP偏光軸とS偏光軸との間で各画素毎に回転制御される。PBS203では反射型液晶ライトバルブ100B、100R、100Gから戻ってきたS偏光成分は反射しP偏光成分を透過する。従って、各PBS203からは、液晶ライトバルブ100B、100R、100Gから出射された光の偏光軸の回転程度に応じた光量の色光が透過してくる。この光量が、各色光に割り当てられた階調レベルに応じた光量(透過率)に相当する。各PBS203を透過した色光は、色合成プリズム204内にX字状に形成された青色光反射・赤色光反射の波長選択反射層により、青色光Bと赤色光Rが反射され、緑色光Gが透過されて、カラー光が合成されて射出される。このカラー光を投射レンズ205によりスクリーン206に投射する。

【0100】このような構成においても、液晶ライトバルブ各画素のRAMに記憶させたデータにより階調表示が行われるので、液晶層に印加される電圧の切り換え回数は従来の液晶ライトバルブに比べて少なくなり、正確な階調表示を行うことができる。従って、従来よりも高品質のカラー画像を投射することが可能である。

【0101】以上のように、本発明の反射型液晶装置は、ノート型のパーソナルコンピュータ、小型VTRカメラ、あるいはテレビ等の画像表示部だけでなく、カラー液晶プロジェクタにも用いた場合でも、高解像度かつ高輝度で、良好な階調表示を行うことができる。

【0102】また、以上の本実施形態においては、一走査期間内におけるオン期間を走査期間の後縁側を基準として設定しているが、オン期間とオフ期間を逆にした設定でも、表示品質に問題がなければ構わない。また、階調データやタイミングデータは、オン期間を示すものでも、オフ期間を示すものでも良い。さらに、反射型液晶

(11)

特開平 1 1 - 2 9 5 7 0 0
20

装置としては、第1基板を半導体基板とする場合だけでなく、光透過性基板を用いて良いことは言うまでもない。

[0103]

【発明の効果】以上詳細に説明したように本発明によれば、各画素を規定する反射型の画素電極よりも下層に、多ビットの階調データ保持手段を備え、階調データ保持手段に保持させた多ビットの階調データに基づいて、パルス幅変調手段により、各々の画素の一定査期間におけるオン期間をパルス幅の大きさとして変調するように構成したので、各画素に対する階調データの書き込み回数を減少させることにより、低消費電力化を図ることができると共に、各画素毎に一定査期間毎の階調表示を行うことができるので、良好な画像表示が可能である。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る反射型液晶装置の概略図である。

【図2】 図1の反射型液晶装置におけるメモリセルの構成を示す回路図であり、(A)はメモリセルをSRAMで構成した場合の回路図、(B)はメモリセルをDRAMで構成した場合の回路図である。

【図3】 図1の反射型液晶装置における階調表示回路の構成を示す回路図である。

【図4】 図1の反射型液晶装置における動作タイミングを示すタイミングチャートである。

【図5】 図1の反射型液晶装置における階調データに対応したオン波形の印加期間を示すタイミングチャートである。

【図6】 図1の反射型液晶装置における対向電極に印加される波形及び画素電極に印加されるオン波形とオフ 30 波形を示す図である。

【図 7】 図 1 の反射型液晶装置に用いられるパルス幅補正回路を説明するためのパルス幅補正回路の一例を示す回路図である。

【図8】 図7のパルス幅補正回路及びラッチ回路の動作タイミングを示すタイミングチャートである。

【図9】 図7のバルス幅補正回路の説明に用いた液晶装置の画素の等価回路を示す回路図である。

【図10】 図7のパルス幅補正回路の説明に用いた液晶装填の印加電圧に対する液晶層への充電電圧波形を示す。

*す図である。

【図 1.1】 本発明の第 2 の実施形態に係る反射型液晶装置における階調表示回路の構成を示す回路図である。

【図 12】 本発明の第 2 の実施形態に係る反射型液晶装置における動作タイミングを示すタイミングチャートであり、(A) はタイミングデータが入力された時の一致検出回路の出力タイミング及びオンオフ波形選択回路の出力タイミングを示すタイミングチャート、(B) はラッチ回路の動作を示すタイミングチャートである。

【図 13】 本発明の第 2 の実施形態に係る反射型液晶装置における階調表示回路を N チャネル型の TFT を用いて示す回路図であり、(A) はランチ回路の回路図、(B) は一致検出回路の回路図である。

【図 14】 本発明の第 2 の実施形態に係る反射型液晶装置における階調表示回路のパターンの一例を示す図である。

【図 15】 本発明の第 3 の実施形態に係る液晶ライトバルブとしての反射型液晶装置の概略構成を示す斜視図である。

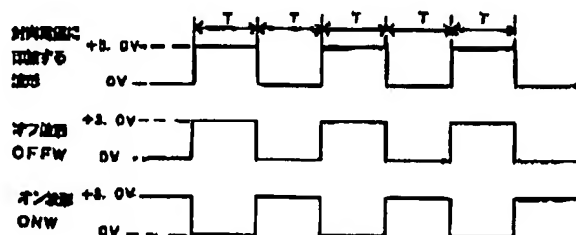
【図16】 図15の液晶ライトバルブを用いた反射型プロジェクタの概略構成を示す模式図である。

【図 17】 印加電圧に対する液晶表示パネルの透過率の変化を示す図である。

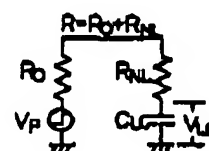
【符号の説明】

- 1… 画素位極
- 2… 対向基板
- 3… 液晶セル
- 4、5… スイッチング素子
- 6… メモリセル
- 7… 階調変換回路
- 7 a… 一致検出回路
- 7 b… オンオフ波形選択回路
- 8… ワードライン制御回路
- 9… ビットライン制御回路
- 1 0… 表示制御回路
- 1 4… ラッチ回路
- 2 0… 交流化電源
- 3 0、3 1… ラッチ回路
- 3 2… 一致検出回路
- 3 3… オンオフ波形選択回路

【函 6】



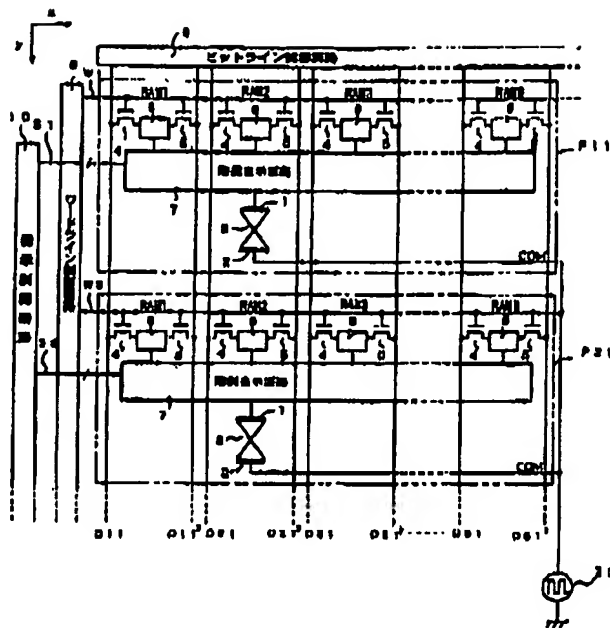
【圖 9】



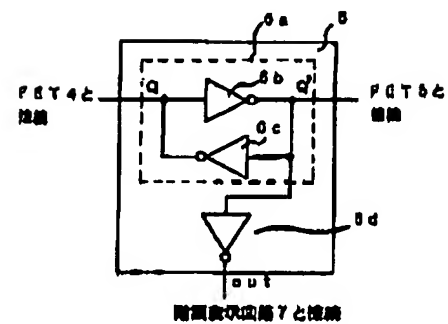
(12)

特開平11-295700

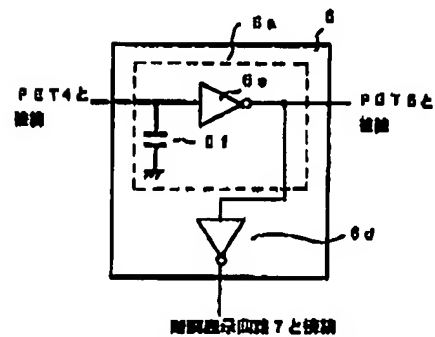
【図1】



【図2】

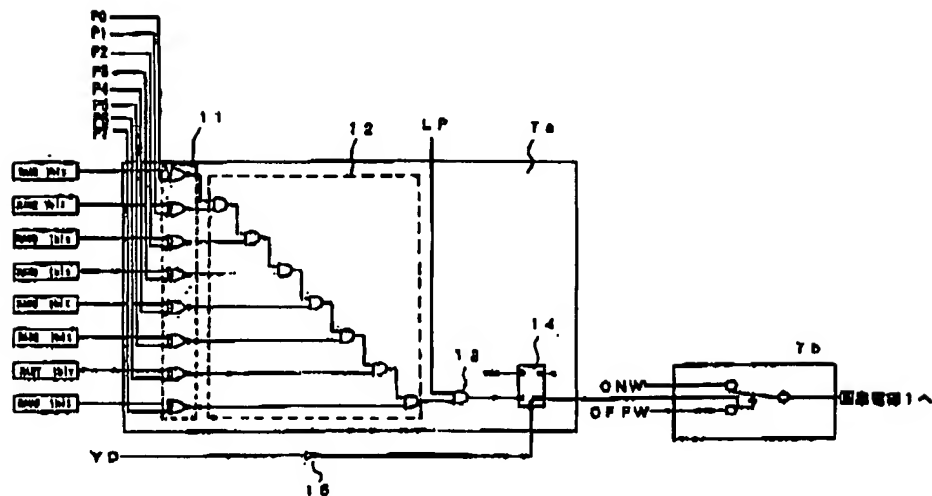


(A)



(B)

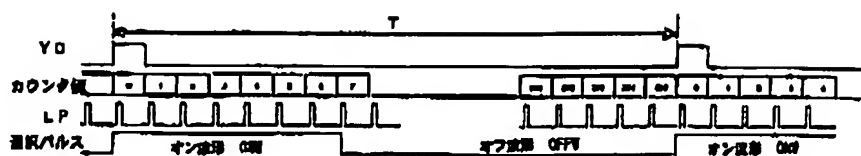
【図3】



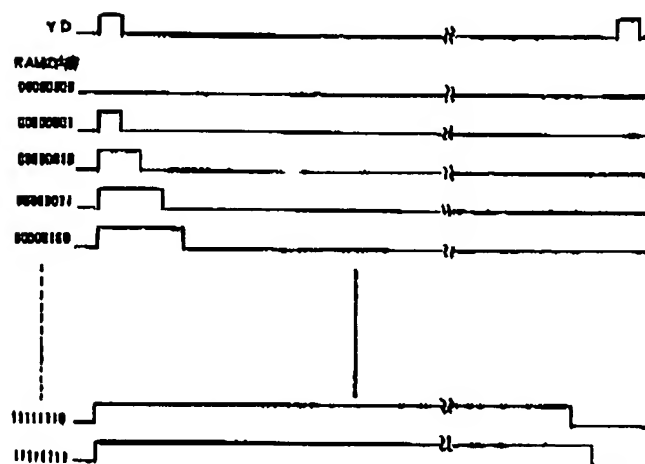
(13)

特開平11-295700

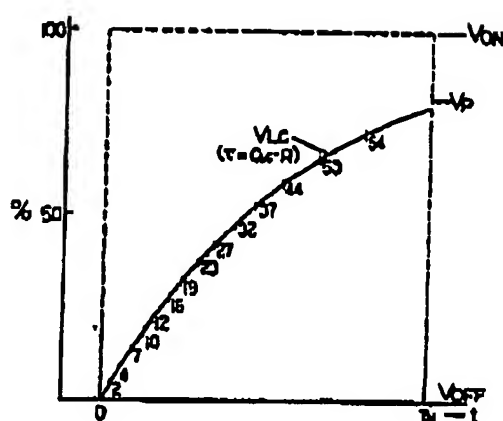
【図4】



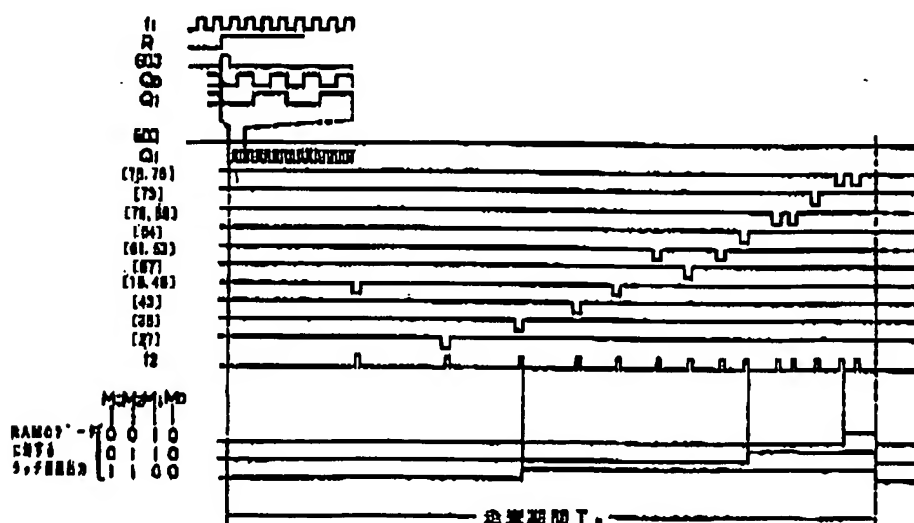
【図5】



【図10】



【図8】



(14)

特開平 1 1 - 2 9 5 7 0 0

【图7】

